

[12] 发明专利申请公开说明书

[21] 申请号 01141035.3

[43] 公开日 2002 年 3 月 27 日

[11] 公开号 CN 1341960A

[22] 申请日 2001.8.28 [21] 申请号 01141035.3

[30] 优先权

[32] 2000.8.28 [33] DE [31] 10042235.7

[71] 申请人 因芬尼昂技术股份公司

地址 联邦德国慕尼黑

[72] 发明人 B·哈斯勒 R·F·施纳贝

G·欣德勒

V·魏因里希

[74] 专利代理机构 中国专利代理(香港)有限公司

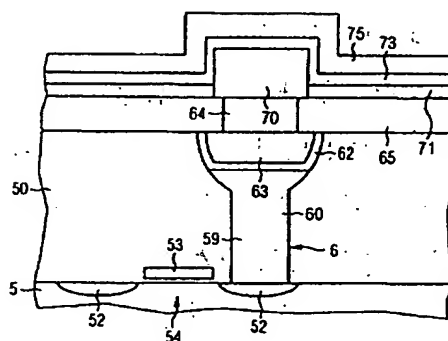
代理人 张志醒

权利要求书 2 页 说明书 8 页 附图页数 9 页

[54] 发明名称 导电连线的制造方法

[57] 摘要

本发明涉及一种通过绝缘层,接触孔和导电材料制造导电连线的方法,其接触孔用所述导电材料填充。本发明所述方法可制造出一种酒杯形状的接触孔,其中的导电填充材料和势垒层不会产生公知的问题,例如形成空腔,过腐蚀沟槽和介电“封闭”。通过本方法,仅仅通过少数几个掩模步骤,即可在诸如高集成度的 FRAMs 和 DRAMs 的选择晶体管的扩散区和存储器电容的下部电极之间制出导电连线。



权 利 要 求 书

1.通过一层或多层绝缘层制造导电连线的方法，特别是扩散区和电极之间的导电连线的制造方法，包括以下步骤：

- 5 a) 准备一块具有至少一层绝缘层的半导体衬底，
b) 将一个掩模放置在所述绝缘层上面，
c) 进行一个基本上是均质的腐蚀步骤，
d) 进行一个基本上是非均质的腐蚀步骤，直至达到所述绝缘层的底部，并产生出一个接触孔，
10 e) 将掩模拿开，
f) 将所述接触孔用一种第一导电材料填充，
g) 将所述第一导电材料回缩腐蚀至一个预定深度，
h) 将所述接触孔的暴露区用至少一种第二导电材料填充。

2.如权利要求1所述的方法，其特征是，处在均质腐蚀区内的接触孔的面积和处在非均质腐蚀区内的接触孔的面积之比在1.5至4之间，优选在2至3之间。

3.如权利要求1或2所述的方法，其特征是，对所述第一导电材料的腐蚀最大达到接触孔的非均质腐蚀区。

4.如以上权利要求中任何一项所述的方法，其特征是，在所述第一导电材料和第二导电材料之间生成一层附着连接层，特别是钛，氮化钛，硅化钛，一
20 氮化钽，或者钽硅氮化物。

5.如权利要求4所述的方法，其特征是，所述附着连接层和第二导电材料的结构化处理是通过单级或者多级CMP步骤完成的。

6.如以上权利要求中任何一项所述的方法，其特征是，将一种第三导电材料敷设在第二导电材料上面。

25 7.如权利要求6所述的方法，其特征是，所述第二导电材料作为第三导电材料的接地焊盘使用。

8.如权利要求7所述的方法，其特征是，所述第三导电材料采用CMP方法进行结构化处理。

9.如权利要求6所述的方法，其特征是，所述第三导电材料淀积在接触孔
30 的一个暴露区内。

10.如权利要求9所述的方法，其特征是，所述第二和第三导电材料的结构化处理是通过单级或者多级CMP步骤完成的。

11.如以上权利要求中任何一项所述的方法，其特征是，所述第一导电材料采用掺杂的多晶硅。

5 12.如以上权利要求中任何一项所述的方法，其特征是，所述第二和/或第三导电材料采用的是一种势垒材料。

13.如权利要求10所述的方法，其特征是，所述第二导电材料采用一种可抑制硅原子扩散的势垒材料，特别是铪。

10 14.如权利要求10所述的方法，其特征是，所述第三导电材料采用一种可抑制氧原子扩散的势垒材料，特别是氧化铪。

15.如以上权利要求中任何一项所述的方法，其特征是，在产生一个电极之前涂敷一层腐蚀阻挡层，特别是氮化硅层。

16.如以上权利要求中任何一项所述的方法，其特征是，所述绝缘层由一层下绝缘层和一层上绝缘层构成，所述均质腐蚀一直达到下绝缘层。

15 17.如以上权利要求中任何一项所述的方法，其特征是，所述下部电极采用金属镶嵌法进行结构化处理。

说明书

导电连线的制造方法

5 本发明涉及一种通过一层或多层绝缘层制造导电连线的方法，该方法例如可用于高集成度的FRAMs和DRAMs的存储器电容与选择晶体管的连线。

在高集成度器件中，导电连线或接触通常的作用是，在位于不同构造平面的导电区之间建立起电流通路。根据上部或下部导电构造平面的材料，例如可以采用硅/硅接触，金属/硅接触或金属/金属接触。

10 为制造这种接触，经常采用一种金属镶嵌法，为此将接触孔用光刻步骤穿过一层(或多层)绝缘层一直腐蚀到位于下部的接点。然后覆盖一层导电材料，大多是掺杂的多晶硅，它将腐蚀的接触孔完全填充。随后借助于一个CMP步骤(化学机械抛光)将该导电层去掉，一直抵达所述绝缘层，所以在腐蚀孔内只残留着导电填充材料(“圆塞”)。该圆塞通过这种方式构成了从绝缘层上表面
15 至绝缘层下表面的导电连接。

对于某些接触，例如多晶硅接触，它要将存储器电容的贵金属电极与选择晶体管的扩散区连接在一起，所以还需要使用一层或多层附加的导电层，该导电层例如应当通过接触连接防止氧原子或金属原子的扩散。典型的势垒层例如是铱或者氧化铱。为制造出势垒，通常通过腐蚀步骤从接触孔的上部去掉多晶
20 硅。随后淀积上势垒材料，并通过CMP进行结构化处理，所以势垒材料仅保留在接触孔的上部。其中的势垒材料优选通过溅射法淀积。

但是这种方法产生的问题是，由于接触孔的直径越来越小，所以向接触孔内填充势垒材料变得越来越困难。其后果是，或者采用其他开销更大的淀积法，例如CVD法，或者通过额外的光刻技术制造出与接触孔重叠的一个直径更大的
25 凹槽。两种方法的结果都会造成增加生产成本。

对于某些器件，例如FeRAMs通常在多晶硅和存储器电容的下部电极层之间采用两层势垒层。第一势垒层将接触区的多晶硅覆盖，通常可防止硅原子穿过势垒扩散。第二势垒层将第一势垒层覆盖，通常可防止氧原子穿过势垒扩散。在必要时还可能在多晶硅和第一势垒层之间设置一层内衬层，它的作用是在多
30 晶硅和第一势垒层之间实现良好的导电附着连接。此外还经常采用由至少两层

氧化硅构成的绝缘层，它们具有不同的腐蚀特性。

如果按照上述方法在存储器电容的下部电极和选择晶体管之间制造出导电连线，则将会产生一系列其他问题。

空腔现象：由于两个绝缘层具有不同的腐蚀率，所以在接触孔的腐蚀和/或在湿洗步骤中，在用导电填充材料进行填充前，会沿两个绝缘层的接触面在接触孔内形成台阶。当接触孔直径较小时，该台阶在随后用导电填充材料进行的覆盖工艺中容易出现不完整的填充，构成空洞，如图1所示。在图1中，下部绝缘层1位于BPSG氧化硅构成的半导体基片5上，而上部绝缘层2是一种用TEOS方法制造的氧化硅。由于在接触孔6的填充之前的一个腐蚀步骤或湿洗步骤，在两个氧化层的边界层上产生了处在接触孔6内的台阶。导电的填充层3是多晶硅。空腔4是在采用多晶硅覆盖时产生的，因为直径很小，上部氧化层的开孔在完全充满之前就已经封闭。

过腐蚀沟槽：为了用金属镶嵌法在接触孔范围内的第一势垒层上制出第二势垒层，必须在基片上构造出一个掩模，它必须具有对应的开孔。在掩模腐蚀中，例如由于检查手段的欠缺，很容易出现过腐蚀，所以第一势垒层的侧面会被腐蚀，所以在第一势垒层的旁边会形成沟槽。这种过腐蚀沟槽会导致出现问题，例如需要覆盖的第二势垒层在开孔的边缘与内衬层或者与多晶硅发生接触，造成多晶硅的氧化或者其他不希望出现的化学反应，从而导致出现接触问题。图2a和图2b表示出两种条件，在该条件下可在绝缘层10内产生过腐蚀沟槽：在图2 a中，掩模开孔大于第一势垒层11和附着连接层12的表面，所以围绕第一势垒层11和附着连接层12形成了过腐蚀沟槽15。随后覆盖的第二势垒层将会填满该过腐蚀沟槽15，并且与内衬层接触。在图2b中，由于掩模开孔校准误差或第一势垒层11和附着连接层12表面的校准误差，在侧面产生出过腐蚀沟槽15。第二势垒层将过腐蚀沟槽填满，而且在该实例中将会与内衬层12和多晶硅填充区13发生接触。

介电封闭（“闭塞”）：对于在多晶硅层上的良好导电附着接触，第一势垒层通常需要一个附着连接层，优选采用一种内衬层作为中间层。但是该内衬层在与第二势垒层接触时会发生化学反应，从而导致出现介电闭塞。所以该内衬层不能与下部电极或者电容介电层接触。在制造势垒层时必须注意，内衬层和第二介电层不得发生接触。图3和图4表示的两种情况是在已有技术中，在半导

体基片5上通过绝缘层10产生导电连线的两种情况，其中在附着连接层12和第二势垒层17之间出现了不应当的接触。在图3中，在第二势垒层17上覆盖了一层铂18，而第二势垒层则覆盖在第一势垒层11、附着连接层12和多晶硅层13上。第二势垒层17和附着连接层12之间的临界过度点位于附着连接层的边缘。图4中的问题也与此类似。

本发明的任务是，提供一种导电连线的制造方法，它可避免或完全避免以上所述问题，并且使工艺步骤保持在最少的数量，甚至减少。

以上任务的解决方案体现在独立权利要求1所述的导电连线制造方法中。本发明的其他有利的实施例、结构和构思见从属权利要求、说明书和附图。

10 本发明提供了通过一层或多层绝缘层制造导电连线的方法，特别是扩散区和电极之间的导电连线的制造方法，包括以下步骤：

- a) 准备一块具有至少一层绝缘层的半导体衬底；
- b) 将一个掩模放置在所述绝缘层上面；
- c) 进行一个基本上是均质的腐蚀步骤；
- 15 d) 进行一个基本上是非均质的腐蚀步骤，直至达到所述绝缘层的底部，并产生出一个接触孔；
- e) 将掩模拿开；
- f) 将所述接触孔用一种第一导电材料填充；
- g) 将所述第一导电材料回缩腐蚀至一个预定深度；
- 20 h) 将所述接触孔的暴露区用至少一种第二导电材料填充。

本发明所述方法的优点是，仅用一个掩模步骤即可得到一种类似酒杯形状的接触孔，它基本上满足了对接触孔的要求；在非均质腐蚀区具有较小的接触面，在均质腐蚀区具有较大的接触面。这种接触孔形状由于其较大的上部开孔，很容易实现第一导电材料以及第二导电材料的完全填充。特别是由于较大的直径，在上部范围可使用溅射法淀积出第二导电材料。

此外这种接触孔形状还可以在绝缘层下部建立接触很小的导电连线，例如在选择晶体管的扩散区，在绝缘层上部形成的结构可以得到更多的空腔，例如用于存储器电容的下部电极。

接触孔上部的较大开孔的另一个优点是，对于在接触孔内腐蚀而构造掩模的情况而言，例如在第二导电材料上面覆盖另一层导电材料时，第二导电材料

作为腐蚀阻挡层，所以不会产生上述过腐蚀沟槽，也不会产生相关问题。

为了使接触孔在非均质腐蚀区得到较小的接触孔面积，在均质腐蚀区得到较大的接触孔面积，可采用至少两个掩模步骤的标准方法。酒杯形状的接触孔在功能上与双掩模工艺制造的接触孔形状的优点是一样的，然而只是采用一个掩模步骤。所节省的掩模步骤可节约许多其他工艺步骤，从而在生产中可得到更高的芯片成品率，并有助于降低生产成本。

按照一种优选的实施例，处在均质腐蚀区内的接触孔的面积和处在非均质腐蚀区内的接触孔的面积之比在1.5至4之间，优选在2至3之间。此外，优选的方案是，对所述第一导电材料的腐蚀最大达到接触孔的非均质腐蚀区。这样可避免第二导电材料在狭窄的接触孔非均质腐蚀区内淀积。

另一种优选的方案是，在所述第一导电材料和第二导电材料之间生成一层附着连接层，特别是钛，氮化钛，硅化钛，一氮化钽，或者钽硅氮化物。其中特别优选的方案是，所述附着连接层和第二导电材料的结构化处理是通过单级或者多级CMP步骤完成的。

另一种优选的方案是，将一种第三导电材料敷设在第二导电材料上面。根据本发明的一个实施例，所述第二导电材料作为第三导电材料的接地焊盘使用。采用这种方式可使所述附着连接层通过第二导电材料避免与第三导电材料直接接触。其中特别有利的是，所述第三导电材料采用CMP方法进行结构化处理。

根据本发明的另一个实施例，如果接触孔没有完全被第二导电材料填满，则所述第三导电材料可被淀积在接触孔的暴露区内。通过这种方式，可再次节省一个掩模平面，否则该平面必须用于第三导电材料的结构化处理。另外在这种方案中，在附着连接层和第三导电材料之间不会发生直接接触。

其中特别优选的方案是，所述第二和第三导电材料（必要时包括附着连接层）的结构化处理是通过单级或者多级CMP步骤完成的。其中有利的方案是，对于第三导电材料使用的CMP工艺有选择地用于第二导电材料。通过这种方式可以有控制地通过抛光液体相互独立地去掉两种材料。

根据本发明的一个优选实施例，所述第一导电材料采用掺杂的多晶硅。此外，一种优选的方案是，所述第二和/或第三导电材料采用一种势垒材料。其中特别优选的方案是，所述第二导电材料采用一种可抑制硅原子扩散的势垒材料，特别是铱。此外优选的方案是，所述第三导电材料采用一种可抑制氧原子扩散

的势垒材料，特别是氧化铌。这样，选择晶体管和存储器电容之间的导电连线例如可在铁电存储器单元内产生。相应的铁电电容的下部电极层可以设置在第三导电材料上。

5 根据本发明的一个优选实施例，在产生一个电极之前涂敷一层腐蚀阻挡层，特别是氮化硅层，其中的腐蚀阻挡层在设置电极层之前，在将要布置电极的位置上是暴露的。所述存储器电容的下部电极例如采用金属镶嵌法进行结构化处理。腐蚀阻挡层在随后去掉通过金属镶嵌法得到的氧化层时可避免出现过腐蚀沟槽。该氧化层随后应当被去掉，以便得到下部电极的侧壁作为存储电荷的电容表面。

10 受到工艺条件的限制，所述绝缘层可以由一个下部绝缘层和一个上部绝缘层构成，而且还可能有另外的绝缘层。在这种情况下，有利的方案是均质腐蚀一直达到下部绝缘层。因为用这种方式得到的接触孔台阶是在后面的均质腐蚀接触孔区域内，所以在淀积第一导电材料时能够可靠地阻止空腔的形成。

下面对照附图对本发明作进一步的说明。

15 图1至图4表示已有技术中通过一个或多个绝缘层建立的各种导电连线。

图5至图11表示本发明所述在半导体基片上制造导电连线的方法，通过存储器电容的一个绝缘层实现，其中的接触孔只包含一个势垒层。

图12至图15表示发明所述另一种在半导体基片上制造导电连线的方法，通过存储器电容的两个绝缘层实现，其中的接触孔包含两个势垒层。

20 图5表示的一个半导体基片5在表面上有一个选择晶体管54，它由两个扩散区52和一个栅极53组成。在半导体基片表面上设置了一个绝缘层50。在该实施例中，绝缘层50是氧化硅，优选BPSG氧化物或采用TEOS工艺制成的氧化硅。此外在绝缘层上设置了一个掩模57，其开孔位置定义出待制造的接触孔。

图6表示的是相同的结构，但是进行了均质腐蚀以及随后的非均质腐蚀。
25 在本实施例中，可识别出得到了一种酒杯形状的接触孔，条件是掩模开孔的形状基本上呈圆形。酒杯的“杯体”是通过均质腐蚀58得到的，而酒杯的“杯杆”是通过非均质腐蚀59得到的。杯杆的直径主要是通过掩模开孔的直径形成的。应当强调的是，这种有利的接触孔形状仅用一个掩模步骤即可达到。其中在本实施例中，均质腐蚀区内表面上的接触孔面积F与非均质腐蚀区的接触孔
30 面积f之比约为2.5。

图7表示的结构是去掉了掩模57，通过一道HF-Dip清洗，接触孔6被导电材料填充。填充在本实施例中是通过以下步骤进行的：在CVD工艺中将多晶硅沉积在具有接触孔6的绝缘层50上，随后通过腐蚀或抛光将其除掉，直到露出绝缘层50的表面。通过另一道腐蚀将保留在接触孔内的多晶硅的一部分从上面开始去除，直到抵达一个预定的深度，从而产生一个多晶硅层60（第一导电材料）。该多晶硅层60的表面优选处在均质腐蚀区。

随后在本实施例中敷设一层附着连接层，特别是钛、氮化钛、硅化钛、一氮化钽，或者钽硅氮化物，然后再敷设一层第一势垒层63，优选采用铪，它可将接触孔完全充满，以上步骤按照公知方法进行，优选在一个共同的CMP步骤中10 去掉以上材料，直至露出绝缘层50的表面。所述第一势垒层63起到第二导电材料的作用。此时接触孔6被填满，而且接触孔表面在均质腐蚀区51内基本上是第一势垒材料63的表面。

图8表示后面的工艺步骤。将一个例如用氧化硅制成的掩模层按照公知方法敷设在上面，并进行结构化处理，使得掩模开孔与接触孔对准。其中掩模开15 孔要选择得较小，使其完全被第一势垒层63的表面覆盖。在腐蚀接触孔时，第一势垒层63用作腐蚀阻挡层；它可避免图2所示的过腐蚀沟槽的不利效应。

第二势垒层64（第三导电材料）的敷设和结构化处理优选采用氧化铪，可按照已有技术采用金属镶嵌法通过掩模层65实现。

此时可在第一种结构中的第二势垒层64上生长出优选用贵金属或其氧化物，特别是铂制成的下部电极70。该下部电极70的结构化处理例如可按照已有技术中公知的RIE腐蚀法实现（图9）。20

另一种选择是，下部电极70的层状结构采用另一个金属镶嵌工艺步骤实现，其中除了所使用的掩模层外，还在掩模层下面敷设一个腐蚀阻挡层71（图10）。该腐蚀防护层的优点是，由于掩模在下部电极70的结构化完成后要重新25 除掉，所以下部电极70的侧壁可被介电层覆盖。后者可在所制造的存储器电容具有最小侧向延伸的情况下实现最大的容量。在该实施例中，下部电极70用铂制成，腐蚀防护层71用SiN制成。下部电极的制造与结构化处理的步骤与已有技术相同。

图11表示本发明所述制造接触孔内的存储器电容的结束步骤：首先将一层30 薄的介电层73敷设在下部电极70和周围，然后腐蚀上部电极层75。在该实施例

中，介电层73用SBT制成，上部电极层75用铂制成。

本发明的另一个实施例见图12至图15所示。该实施例和前面所述的本发明实施例的区别是，用一个下部绝缘层100和一个上部绝缘层102代替一个绝缘层。此外第一、第二和第三导电材料连同附着连接层都设置在接触孔内，所以原则上可省掉掩模步骤。

图12表示半导体基片5上敷设了下部绝缘层100、上部绝缘层102和掩模57，首先进行一道均质腐蚀，然后进行一道非均质腐蚀，腐蚀在一个基本上呈圆形的掩模孔内从上部绝缘层102延伸到扩散区52。该腐蚀步骤可产生如图6所示的一个酒杯形状的接触孔6，它包括一个均质腐蚀区58和一个非均质腐蚀区59。图12和图6的区别仅在于有两个绝缘层。下部绝缘层优选采用BPSG氧化物，上部绝缘层优选采用一种通过TEOS方法敷设的氧化硅。在优选的实施例中，均质腐蚀一直抵达下部绝缘层，从而使可能的接触孔台阶仅在延伸的接触孔范围内形成，而不会在狭窄的非均质腐蚀区形成。两种氧化物的腐蚀率相对于腐蚀剂而言在本实施例中基本上是相同的，所以在接触孔6的下部绝缘层100和上部绝缘层102的过渡区内不会形成腐蚀台阶。

图13表示的半导体基片5除掉了掩模57，并且该半导体基片5采用了HF-Dip法进行清洗。该清洗步骤通常在敷设多晶硅层之前进行，但其作用是在下部绝缘层100和上部绝缘层102的两种氧化物之间实现一种选择性腐蚀。其结果是在接触孔的下部绝缘层100至上部绝缘层102的过渡区内产生接触孔台阶104。因为该接触孔台阶104处在较大的均质腐蚀区58内，所以它不会对后面的导电材料填充造成问题。

图14表示接触孔6在填充了3个导电层和附着连接层后又进行了以下步骤：在完成了HF-Dip后敷设一层多晶硅层，将接触孔6填充。然后将该多晶硅层除掉，直到露出上部绝缘层102的表面，例如可通过腐蚀或CMP步骤，使得多晶硅仅保留在接触孔6中。通过其他腐蚀步骤可将接触孔6内的多晶硅进一步腐蚀掉，从而能在接触孔内敷设其他的导电层。在一个优选实施例中，其他的腐蚀步骤按以下方式进行，即多晶硅层的表面仅在均质腐蚀区58内保留。通过该方式，代表权利要求1所述的第一导电材料的多晶硅层60即敷设完毕。

然后敷设一层附着连接层62，即衬里层，特别是钛，氮化钛，硅化钛，一氮化钽，或者钽硅氮化物，再敷设一层第一势垒层63，它相当于权利要求1所

述的第二导电材料，以及一层第二势垒层64，它相当于权利要求1所述的第三导电材料，并且通过一个单级、双级或三级CMP步骤进行腐蚀，使得所有3种导电材料，即多晶硅层60、第一势垒层63和第二势垒层64以及附着连接层62被布置在接触孔6内。该方法节省了大部分掩模步骤以及用于制造导电连接的CMP步骤，即通过绝缘层和3种导电材料完成的步骤。优选的第一势垒层63的材料是铌，第二势垒层64的材料是氧化铌。

一种选择方案是，导电材料包括附着连接层62的敷设以及采用CMP步骤进行的结构化处理可以顺序进行或者成对进行，例如可以首先敷设附着连接层62和第一势垒层63，并用CMP步骤进行结构化处理，然后敷设第二势垒层51，并进行结构化处理；但是也可采用其他的顺序进行。

完成了接触孔6的填充后，在一种结构中可制造出具有下部电极70、介电层73和上部电极层75的存储器电容（图15）。其中第二势垒层64的上表面作为接触焊盘用于下部电极70的掩模的结构化处理。所以第二势垒层64的表面必须完全覆盖下部电极70的表面，从而避免过腐蚀沟槽。因为第二势垒层64与介电层73化学上是不相容的，其原因是后者对于高集成度存储器件通常采用具有很高介电常数的材料制成，特别是铁电材料和/或顺电材料，所以在上部绝缘层102上要敷设一层腐蚀防护层71，大多是氮化硅，它可将势垒层63和64覆盖，但下部电极区除外。

在上部绝缘层102上敷设腐蚀防护层71和一个掩模层，后者优选通过TEOS方法制出，并且进行结构化处理，然后在掩模上产生下部电极层70，并通过金属镶嵌法在掩模上进行结构化处理。随后通过腐蚀除掉掩模，使得下部电极的边缘暴露出来，用于敷设介电层73和上部电极层75，从而提高存储器电容量。腐蚀防护层71被保留下来。接着敷设一层尽可能薄的介电层73和上部电极层75，均可采用已有技术中的方法。

该结构可实现一种存储器电容结构，它具有贯通到衬底的接触，总计有7个结构层，但仅应用了两个金属镶嵌法工艺步骤。该方法的重要组成部分是使用了由一道均质腐蚀和一道非均质腐蚀得到的接触孔。

说明书附图

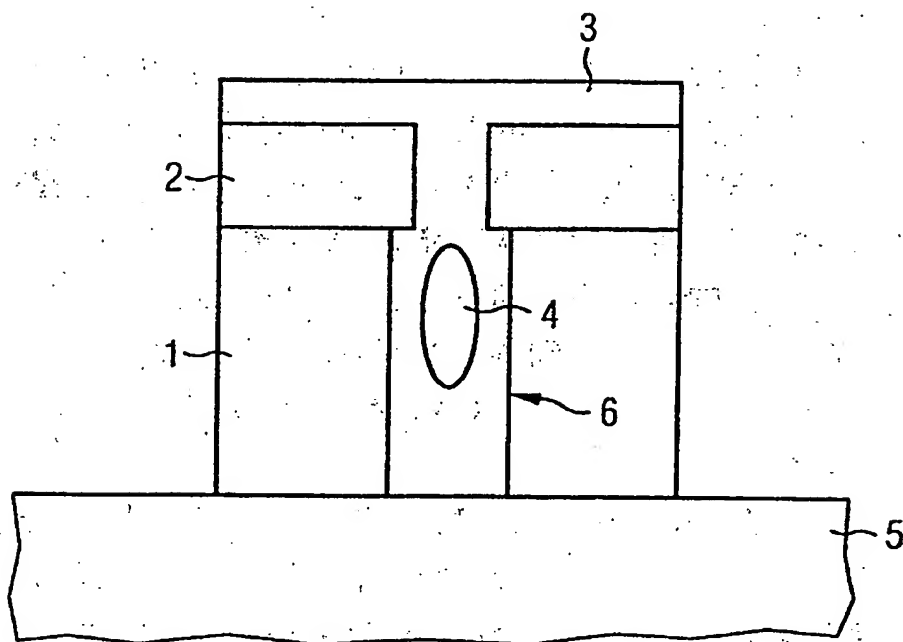


图 1

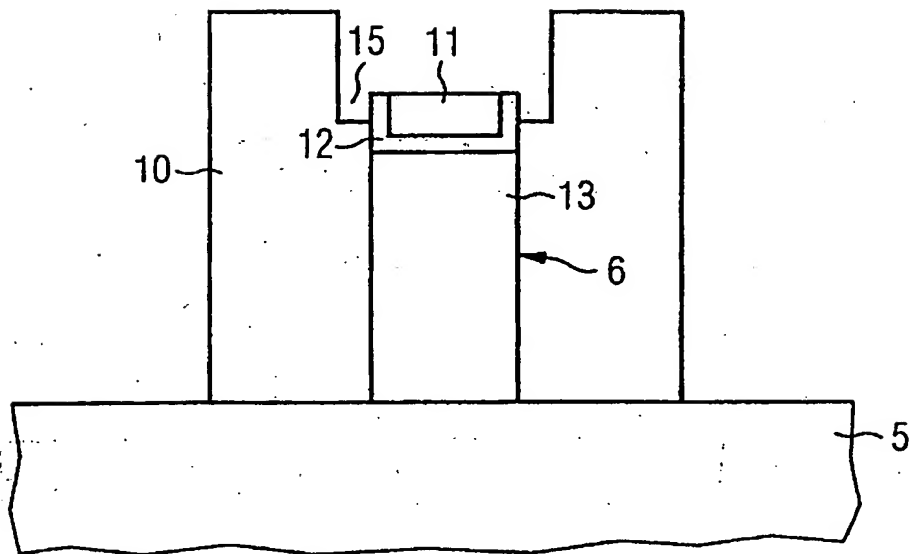


图 2a

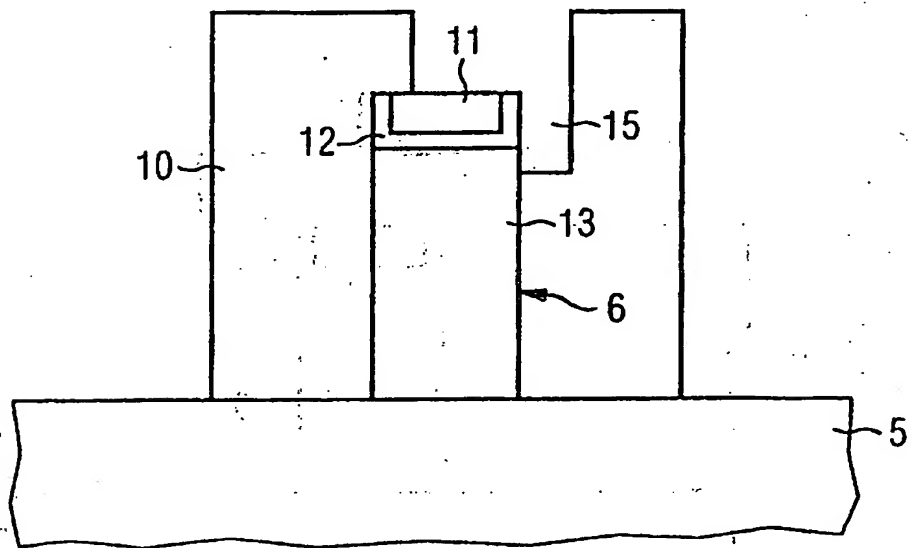


图 2b

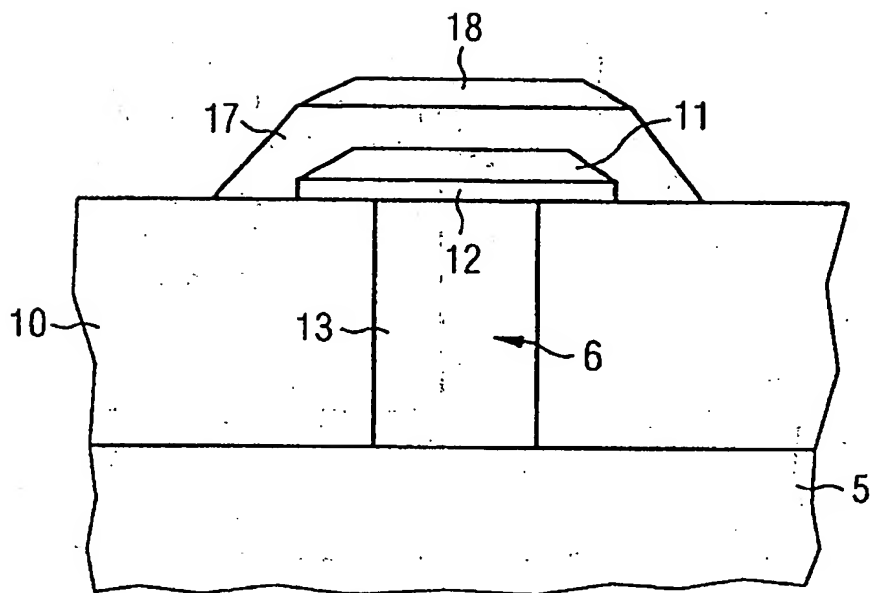


图 3

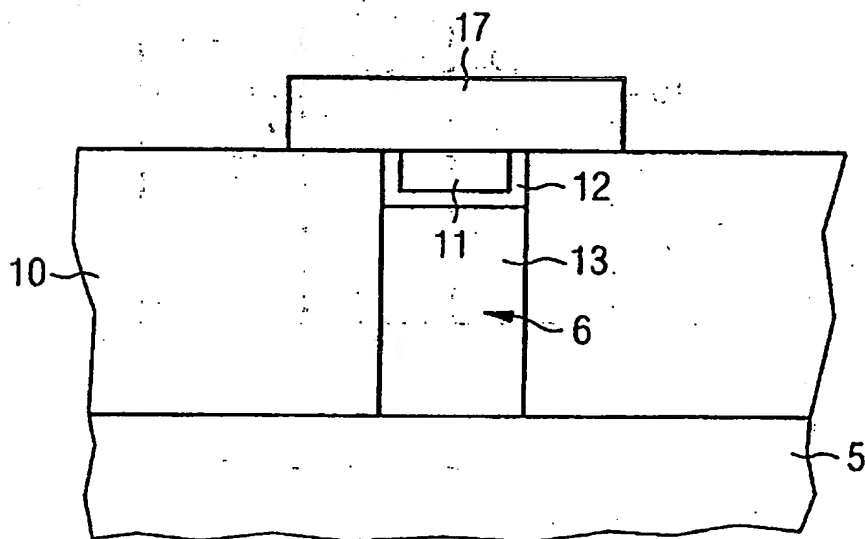


图 4

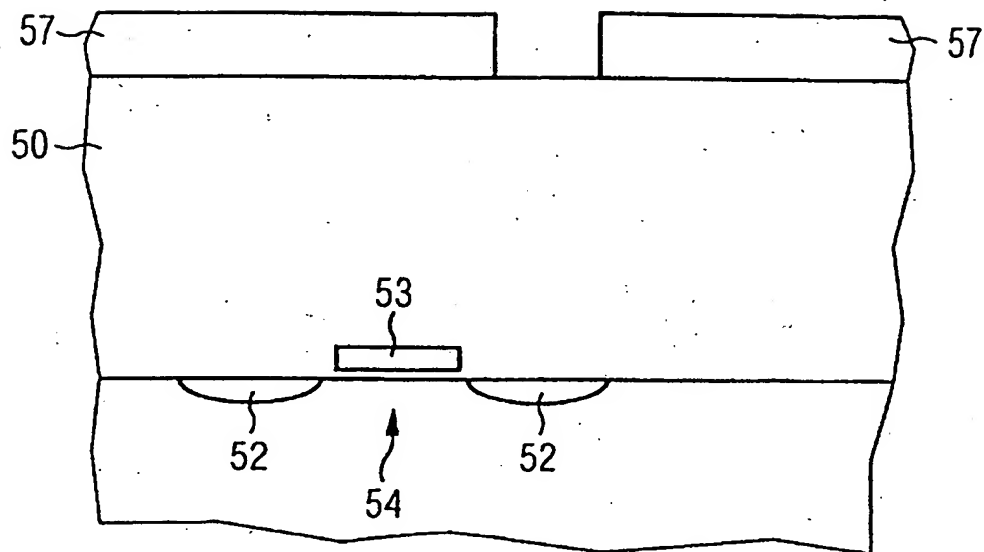


图 5

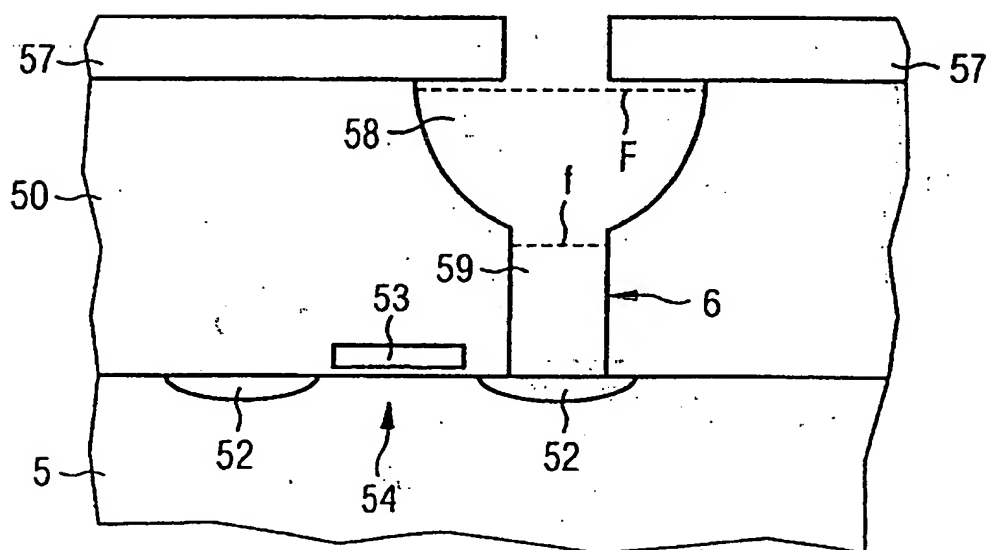


图 6

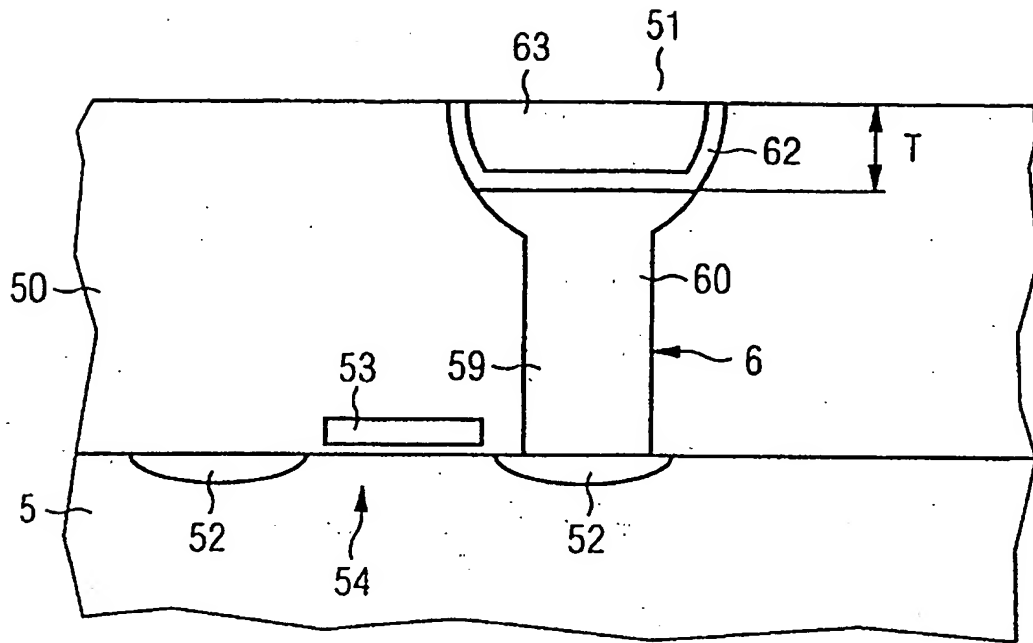


图 7

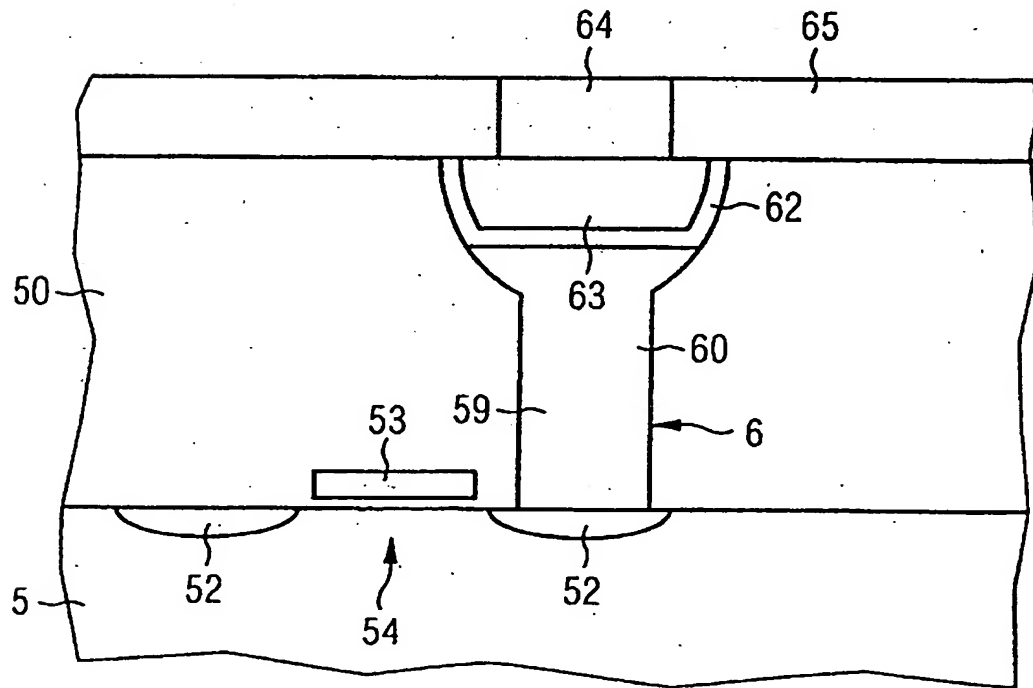


图 8

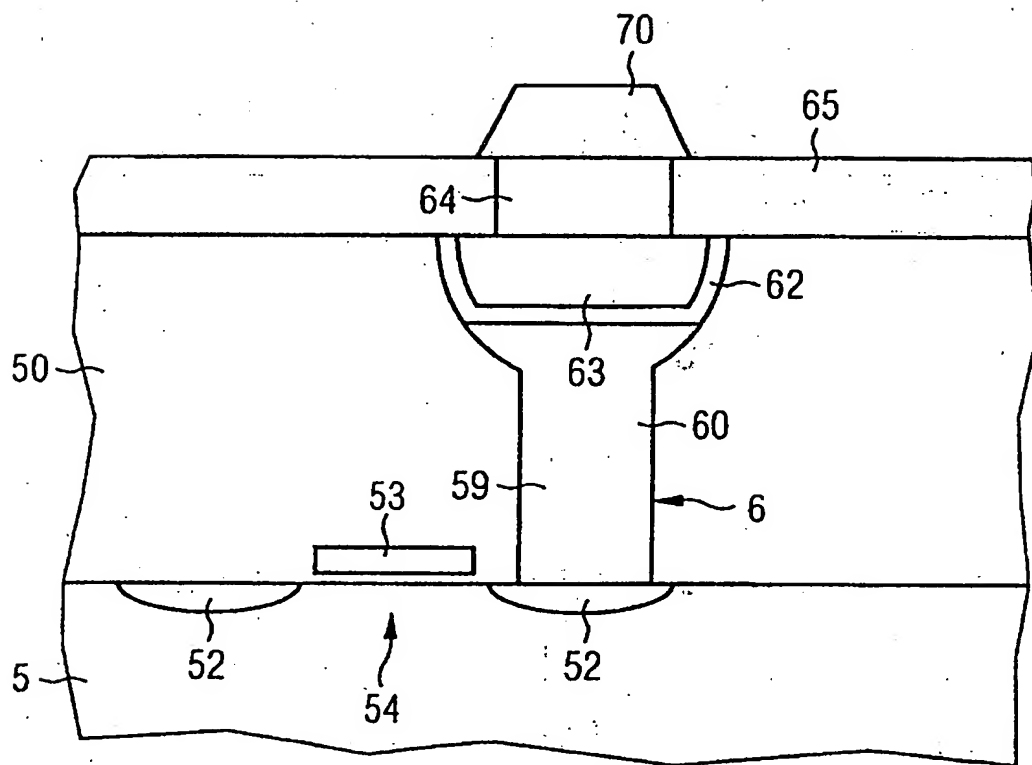


图 9

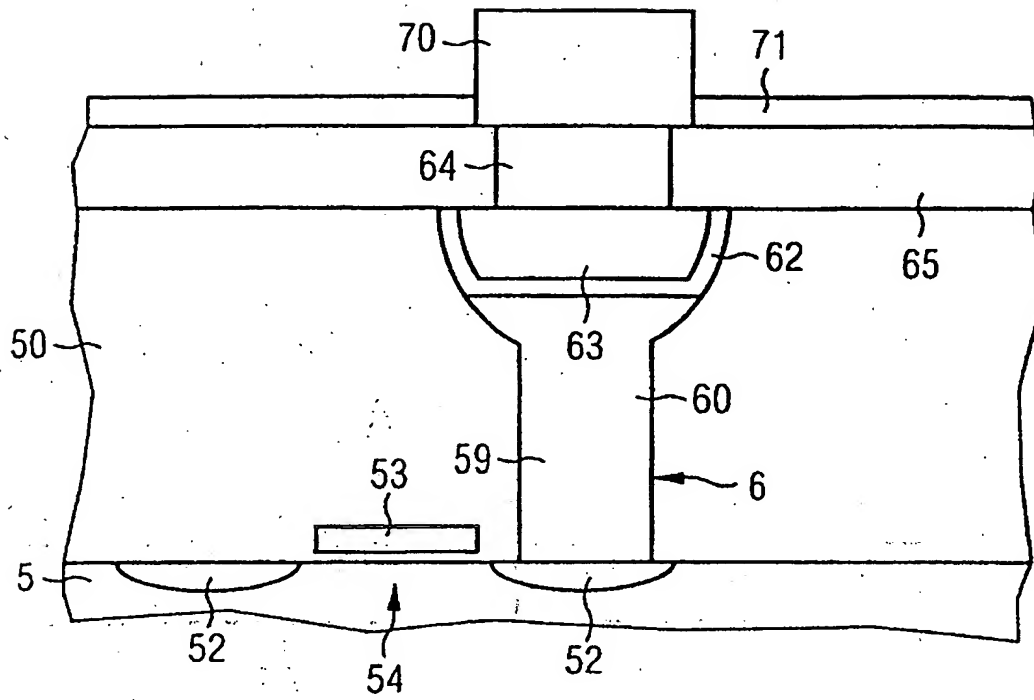


图 10

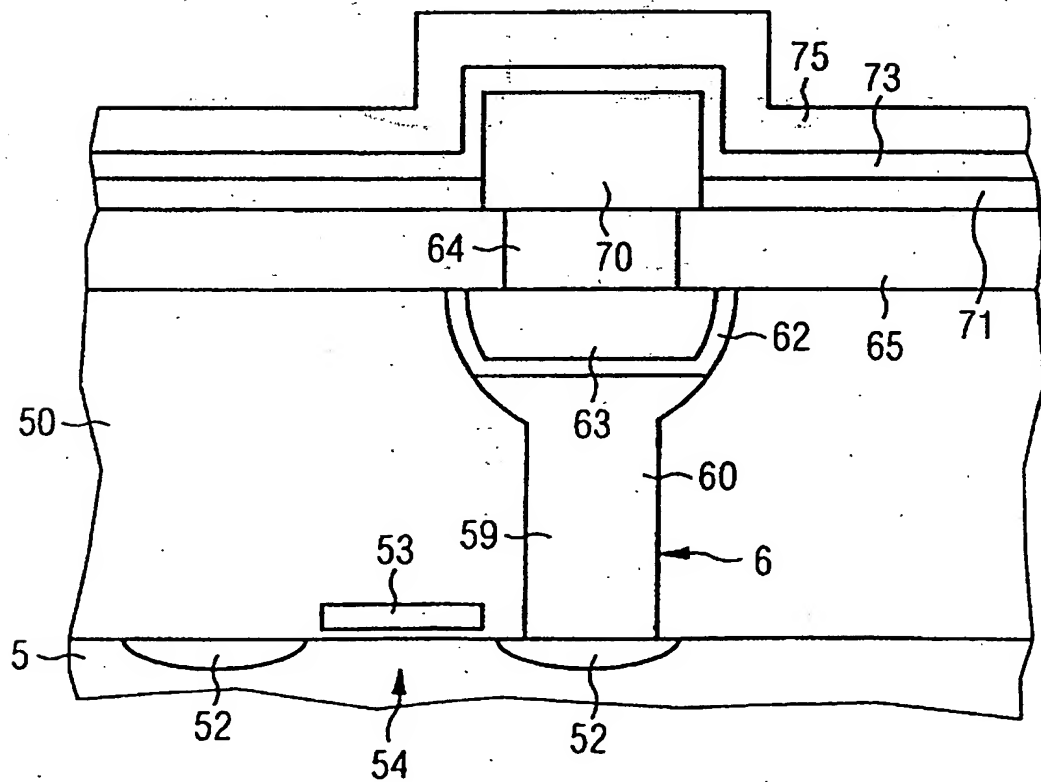


图 11

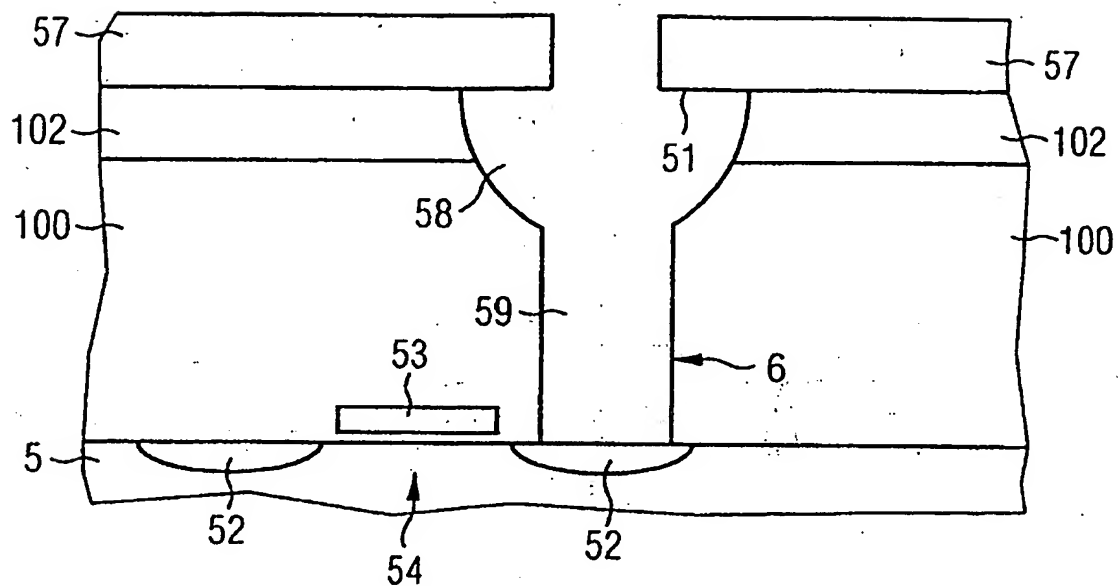


图 12

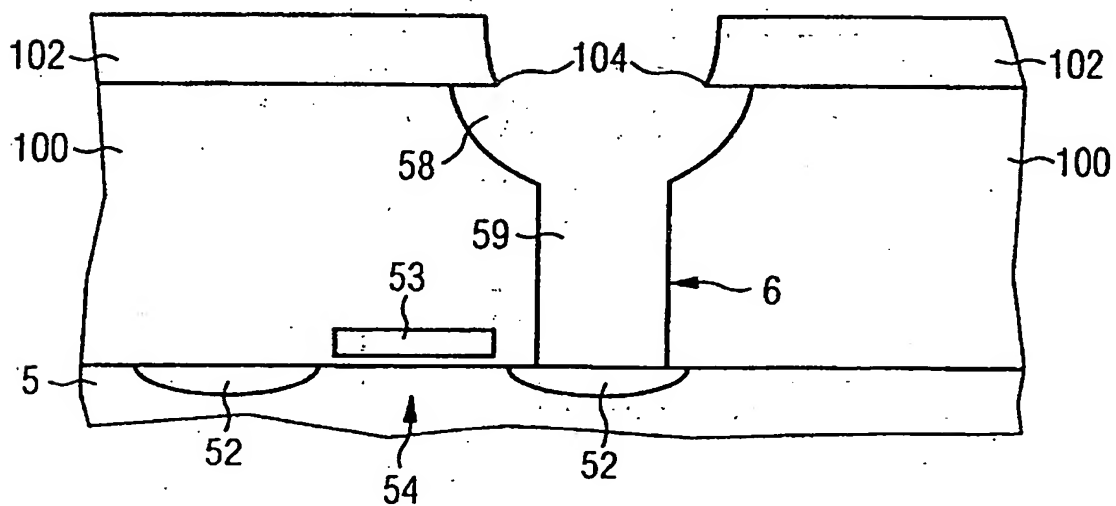


图 13

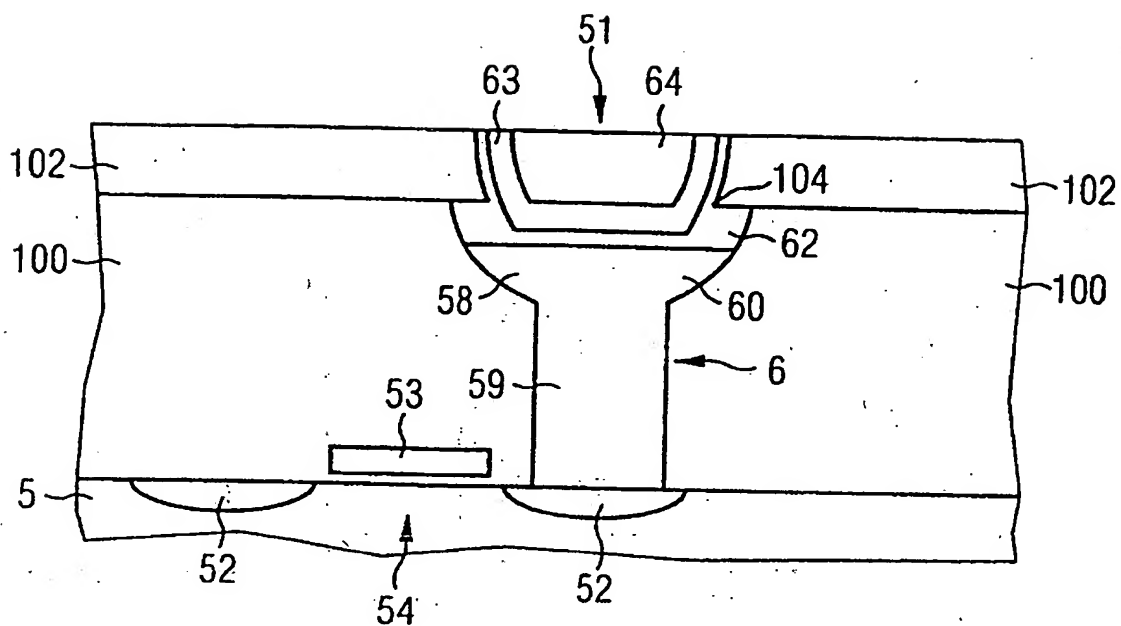


图 14

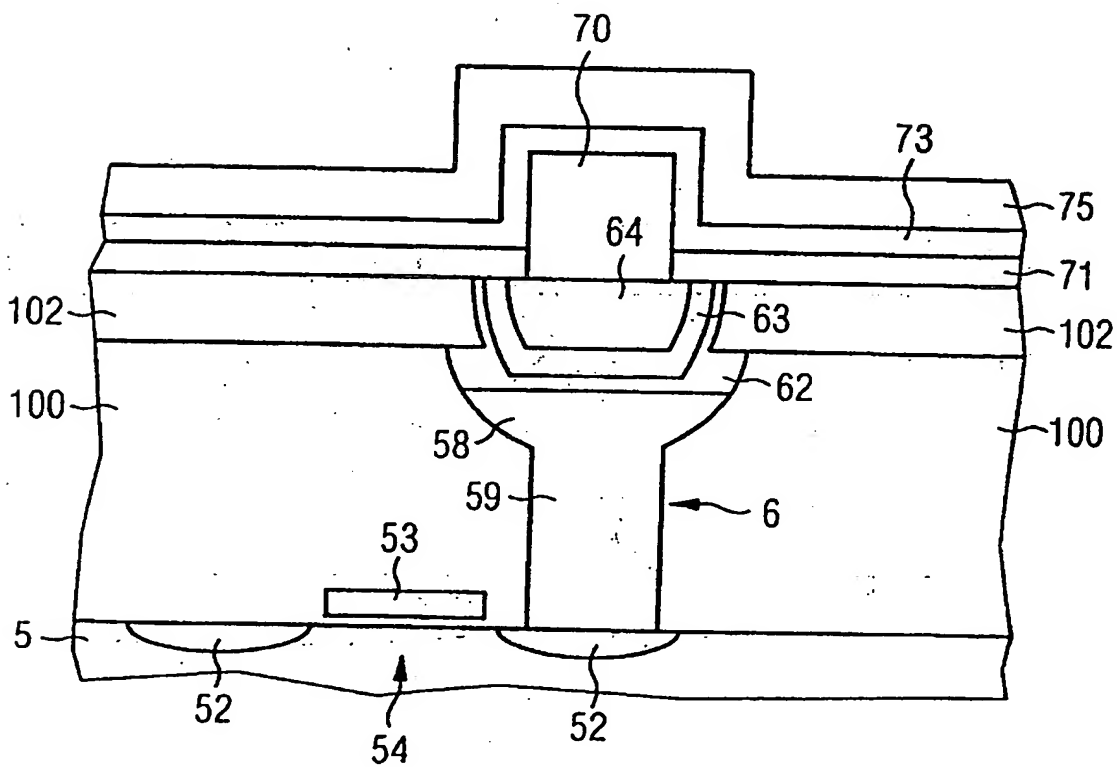


图 15